

**UNIVERSIDAD NACIONAL DE SANTIAGO DEL ESTERO**  
**FACULTAD DE CIENCIAS EXACTAS Y TECNOLOGÍAS**  
*Planificación de la asignatura Sistemas Lógicos*

**1. IDENTIFICACION:**

1.1. Sistemas Lógicos

1.2. Ingeniería Eléctrica. Ingeniería Electromecánica.

1.3. Ubicación de la Asignatura

1.3.1 3er Módulo, 2do año.

1.3.2 Correlativas anteriores: Álgebra lineal.

1.3.3 Correlativas posteriores. Medidas eléctricas I. Electrónica I.

1.4. Objetivos del plan de estudios:

Presentar los bloques funcionales elementales y las bases sistemáticas de diseño digital. Introducir al análisis y síntesis de sistemas digitales secuenciales y combinacionales y a las técnicas de diseño con dispositivos lógicos programables.

1.5. Contenidos mínimos del plan:

Álgebra Booleana y funciones lógicas. Sistemas y códigos de información. Bloques funcionales y combinacionales básicos. Sistemas combinacionales programables. Aritmética binaria. Sistemas secuenciales asíncronos y síncronos. Sistemas secuenciales microprogramables.

1.6. Carga horaria: 7 horas semanales.

1.7. Año académico: 2022

**2. PRESENTACION**

2.1. Ubicación de la asignatura:

Esta asignatura forma parte del conocimiento básico de un área del conocimiento que llamamos lógica digital. Partiendo del concepto de Estado Binario, nos acercamos a la construcción de estructuras básicas binarias para, finalmente, poder encarar el diseño de sistemas lógicos programables. Para este objetivo, se desarrollan herramientas simbólicas con expresiones del Álgebra de Boole, representaciones circuitales gráficas, y uso de tablas de verdad. Estos conocimientos, a su vez, van a formar la base de la línea del diseño electrónico que deberá completarse en los ciclos superiores.

2. 2. Conocimientos y habilidades previas:

Algebra de Boole. Sistemas de numeración.

**3. OBJETIVOS**

3. 1. Objetivos Generales.

El estudiante deberá adquirir:

Capacidad para analizar un problema planteado en lenguaje natural para poder diseñar estructuras lógicas capaces de realizar tareas orientadas a la solución.

Capacidad para comprender el problema del diseño digital.

Capacidad para comprender los sistemas lógicos que permiten diseñar dispositivos de automatismo en entornos industriales.

### 3. 2. Objetivos específicos:

El estudiante deberá adquirir:

Capacidad de análisis de diseño circuital.

Capacidad de adaptar sistemas circuitales existentes para la resolución de nuevos problemas.

Creatividad para el diseño de nuevas estructuras lógicas aplicables a la industria.

Desarrollo de criterios con el propósito de seleccionar las herramientas de diseño lógico.

## **4. SELECCION Y ORGANIZACION DE CONTENIDOS**

### 4.1. Programa Sintético

Contenidos: Algebra Booleana y funciones lógicas. Sistemas y códigos de información. Bloques funcionales combinacionales básicos. Sistemas combinacionales programables. Aritmética de códigos binarios. Sistemas secuenciales asíncronos y síncronos. Sistemas secuenciales microprogramables.

### 4.2. Mapa conceptual

### 4.3. Programa Analítico

1. Introducción a los conceptos digitales. Funciones lógicas básicas: el inversor, puertas and, or, nand, nor, xor. Algebra de Boole. Aplicaciones a los sistemas digitales.

2. Funciones lógicas. Síntesis como suma de productos y productos de sumas. Simplificación por mapas de Karnaugh. Representación de funciones por tablas de verdad, circuitos lógicos y expresiones del álgebra de Boole. Secuenciamiento de funciones. Representación en serie y paralelo.

3. Circuitos lógicos combinacionales. Propiedades. Códigos. Circuitos codificadores, decodificadores, multiplexores, demultiplexores y comparadores. Ejemplos de aplicación. Decodificadores BCD a siete segmentos.

4. Circuitos aritméticos. Suma y resta binaria. Circuitos semisumador y sumador completo. Sumador de cuatro bits y su generalización. Estudio de un circuito sumador-restador. Análisis de una unidad aritmético-lógica.

5. Circuitos lógicos secuenciales. Circuitos biestables S-R. Circuitos sincronizados por nivel y por flanco. Circuitos biestables J-K y maestro-esclavo. Biestables D y T.

6. Circuitos contadores asincrónicos. Análisis de circuitos contadores y divisores de frecuencia con biestables. Contadores ascendentes y descendentes. Proceso de reset. Diagramas de tiempo. Utilización de circuitos contadores integrados como divisores de frecuencia. Contadores sincrónicos.

7. Registros de almacenamiento y desplazamiento. Entrada serie/salida serie. Entrada paralelo/salida serie. Entrada paralelo/salida paralelo.

8. Introducción a los dispositivos lógicos programables. Nociones básicas y clasificación.

#### 4.4. PROGRAMA DE TRABAJOS PRACTICOS

TPN1 Funciones lógicas básicas. Diagramas circuitales simples.

TPN2 Simplificación de funciones lógicas. Diagramas circuitales.

TPN3 Circuitos codificadores, decodificadores, multiplexores y demultiplexores. Circuitos sumadores. Diseño de Unidad Aritmético-Lógica.

TPN4 Circuitos biestables. Circuitos contadores. Diagramas de tiempo.

TPN5 Registros de almacenamiento y desplazamiento.

#### 4.5. PROGRAMA DE LABORATORIO (no se aplica)

#### 4.6. PROGRAMA DE TALLERES

Taller N1 Taller de software de simulación de circuitos lógicos: circuitos combinacionales.

Taller N2 Taller de software de simulación de circuitos lógicos: circuitos secuenciales.

#### CRONOGRAMAS

Semana	1	2	3	4	5	6	7	8	9	10	11	12	13	14
Práctica		TP 1		TP 2				TP 3			TP 4		TP 5	
Taller						Taller 1				Taller 2				
Parciales					Parcial 1									Parcial 2

## 5. BIBLIOGRAFIA

### 5.1. Bibliografía General

Thomas L. Floyd. Fundamentos de Sistemas Digitales. 7ma Ed. Prentice Hall. 2000.

Mark Balch. "Complete Digital Design". McGraw-Hill, 2003.

Mario C. Guinzburg. Introducción a las Técnicas Digitales con Circuitos Integrados. 5ta Ed.

Andrew S. Tanenbaum. Organización de Computadoras. Un enfoque estructurado. 4a. Ed. Prentice Hall. 2000.

Gonzalez Gomez, Juan. "Circuitos y Sistemas Digitales, apuntes de clase" Dpto. de Electrónica y Comunicaciones, Universidad Pontificia de Salamanca en Madrid.

## 5.2. Bibliografía Específica.

Antonio Gil Padilla, F. Remiro, L. Cuesta. Electrónica Digital y Microprogramable. McGraw-Hill. 1997.

Michael Horddeski. Personal Computer Interfaces. McGraw-Hill. 1995

José M. Angulo. Microprocesadores y microcontroladores 8085, MCS-51 y ST6. Ed. Paraninfo. 1993

## 6. ESTRATEGIAS METODOLOGICAS

### 6.1. Aspectos pedagógicos y didácticos:

Clases teórico-prácticas. Talleres en laboratorio de computación.

### 6.2. Actividades:

Exposición teórica breve, seguida de ejemplos de aplicación. Trabajos prácticos inmediatos donde se recurre a la formación de grupos, a la consulta áulica y a la asistencia del profesor sobre el desarrollo de las aplicaciones. Los trabajos de taller se realizan con una introducción previa de las funciones de maquina, el desarrollo de ejemplos y trabajos de aplicación sobre la máquina por parte de los alumnos, con asistencia simultánea del profesor.

### 6.3. Cuadro sintético

Clase	Carga Horaria	Asistencia Exigida	No. De Alumnos estimados	A cargo de	Técnica más usada	Énfasis en	Actividad de los alumnos
Teórica	30%	80%	10	Prof. Asociado asignado	Exposición y ejemplos	Estructuras conceptuales	Apuntes. Interrogación y respuesta
Práctica	60%	80%	10	J.T.P. asignado	Problemas abiertos	Aplicaciones	Resolución de problemas
Taller	10%	100%	10	J.T.P. asignado	Ejercicios de circuitos lógicos	Destreza en diseño	Diseño y prueba

### 6.4. Recursos didácticos:

Libros, revistas, apuntes, computadoras, programas de aplicación.

La metodología de trabajar con estos elementos inicia al estudiante en las situaciones prácticas de su futuro ejercicio profesional.

## **7. EVALUACION**

7.1. Evaluación diagnóstica: no se efectúa.

7.2. Se realizará una evaluación formativa en forma continua durante las partes o secciones prácticas de las clases, trabajando con grupos estables de no más de tres personas.

7.3. Evaluaciones parciales:

Se realizarán dos evaluaciones parciales sobre los contenidos teóricos y resolución de problemas.

7.3.1. Nómina de parciales:

Parcial No.1 Circuitos combinacionales. Simplificación de funciones lógicas. Diagramas circuitales.

Parcial No.2 Circuitos secuenciales. Registros. Diagramas de tiempo.

Evaluación del taller de software de simulación de circuitos lógicos mediante un problema propuesto a ser resuelto de forma individual.

7.3.2. Criterios de Evaluación:

Serán examinados los contenidos conceptuales y sus interacciones dinámicas.

Procedimentalmente se usará la resolución de problemas abiertos, donde, sobre la base de estructuras aprendidas se deben solucionar situaciones nuevas.

Se hará un seguimiento de las actitudes metodológicas que el estudiante usa para abordar la resolución de problemas de aplicación y confección de programas codificados.

7.3.3. Escala de Valoración:

La escala de valoración adoptada es de 0 a 10. 0 reprobado; 1, 2, 3, aplazado; 4, suficiente; 5, regular; 6, 7, bueno; 8, muy bueno; 9, distinguido; 10, sobresaliente.

7.4. Evaluación integradora:

Se realizará una evaluación integradora a través de los problemas del taller de software de simulación de circuitos lógicos, con la exigencia de presentar un trabajo final.

7.5. Autoevaluación.

Sobre el final del módulo se propone una encuesta con preguntas guías y respuestas abiertas, buscando la libre expresión del estudiante en el objetivo de evaluar las clases y el desempeño docente de los profesores.

7.6. Evaluación sumativa:

La evaluación sumativa se realizará promediando la nota efectiva de los dos parciales, y el taller, considerando la clasificación definitiva de cada instancia.

7.6.2. Condiciones de regularidad:

Dos parciales aprobados, en cualquiera de sus instancias, con una nota mínima de cuatro, y la aprobación del taller.

7.7. EXAMEN FINAL

Individual, escrito con opción a coloquio. Se pondrá énfasis en los aspectos conceptuales y sus aplicaciones que mejor preparan para la actividad futura profesional.

7.8. EXAMEN LIBRE

Etapla práctica: Problemas y destreza en la utilización de la máquina y sus herramientas de programación.

Etapla teórica: Semejante al examen final del alumno regular, debiéndose ser este escrito ajustado en todo al reglamento general de alumnos para examen libre.